Final Project: MIPS single CPU Design

106學年度第二學期

老師：朱守禮　老師

學生：

第 12 組

資訊二甲 10527124 邱正皓

資訊二甲 10527109 范文豪

1. 背景

Project使用Verilog與Modelsim進行開發MIPS single CPU with PipeLine。

1. 方法
2. ALU :

此ALU有以下功能:32-bits AND, OR, ADD, SUB, SLT,SLL,SLTI，以Full-Adder做起並以Ripple-Carry的進位方式連接32個1-Bit ALU Bit Slice，使之變為32-bits ALU。

1. mips\_single :

以PipeLine作為分區分別進行所需之CPU計算。

1. tb\_SingleCycle:

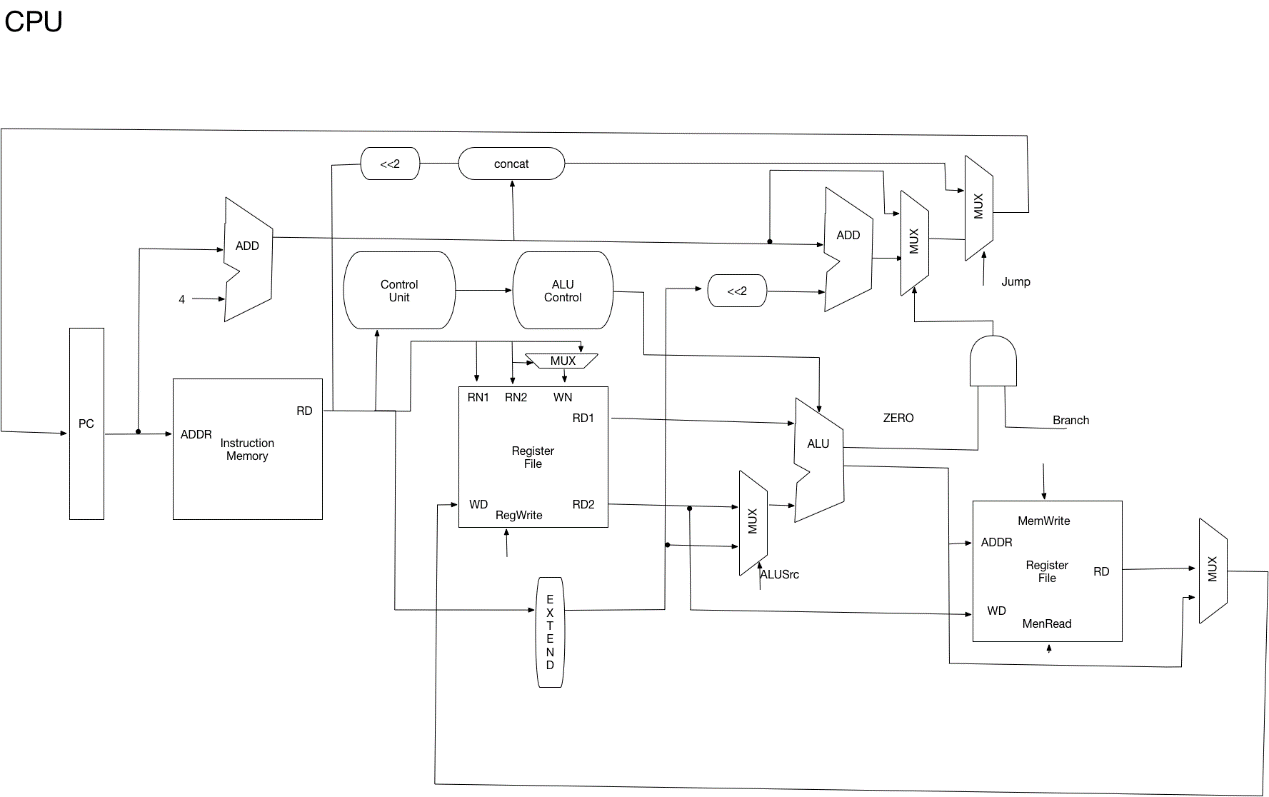
判斷funtion與opcode並顯示所需資訊。

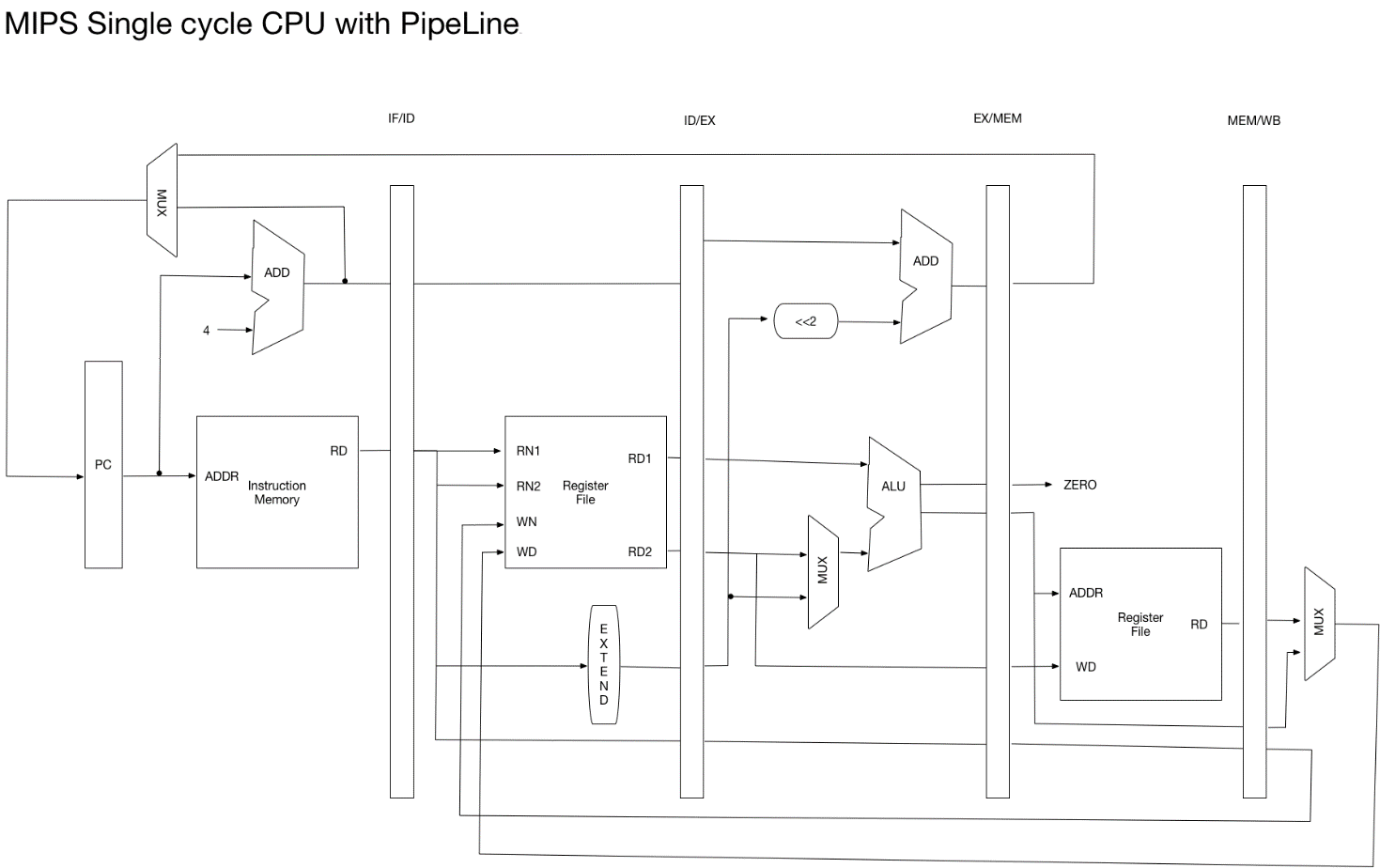
1. PipeLine :

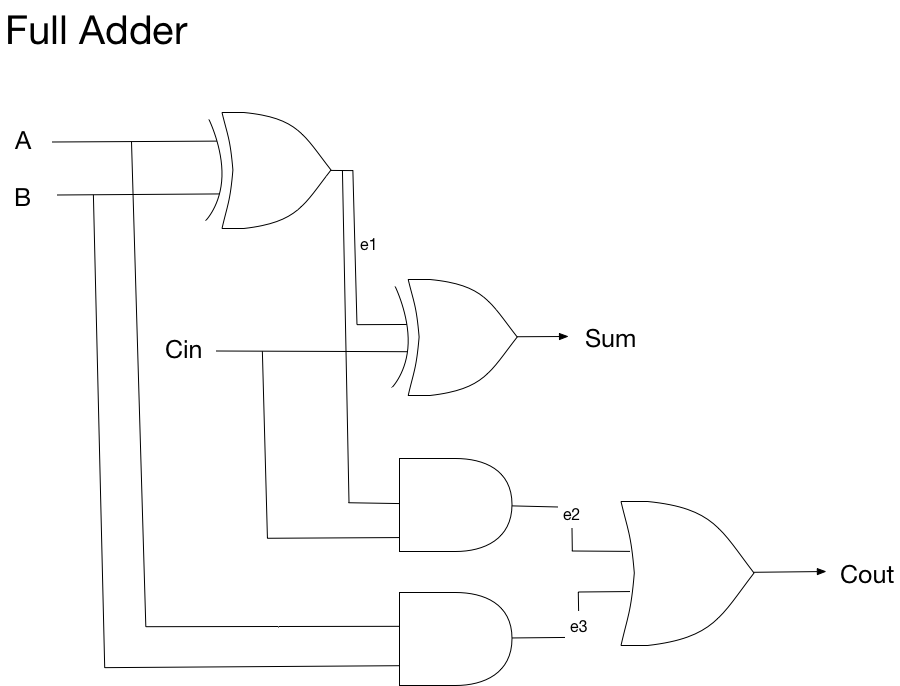
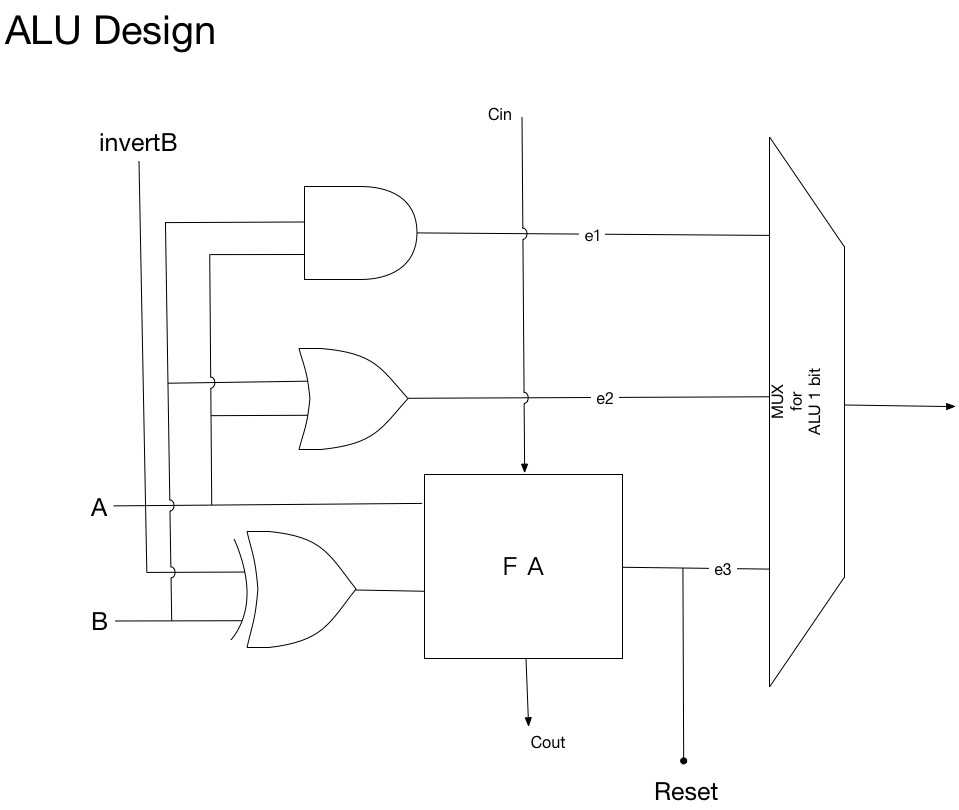
分別判斷輸入輸出並依照指令存取所需的值。

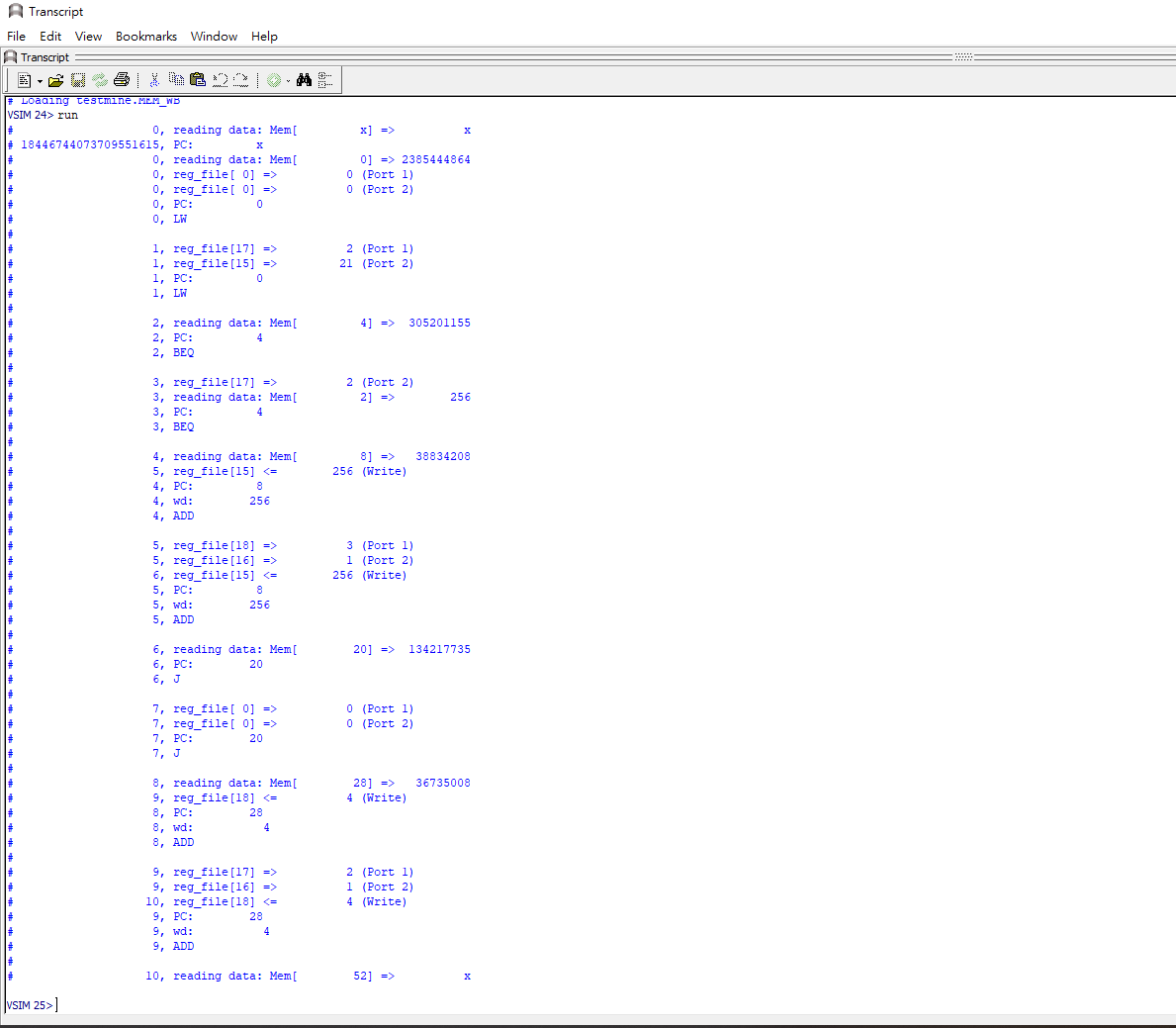
1. control\_single:

輸入的指令代號，據此產生對應的控制訊號。







1. 結果

四、討論

分工：

1. ALU : 邱正皓，范文豪
2. tb SingleCycle: 邱正皓，范文豪
3. FA: 邱正皓
4. PipeLine:邱正皓，范文豪
5. Mips\_single: 邱正皓，范文豪
6. 畫圖：邱正皓
7. 報告 : 邱正皓

五、結論

邱正皓：

之前在Midterm project算第一次正式碰過Verilog，雖然寫起來跟C很像，但卻又有很多不一樣的地方，甚至執行邏輯也不盡相同，常常遇到Syntax Error、Compile也一直不過，因為很不熟悉導致無法正確做出老師所需求的結果，雖然看起來短短幾行程式碼，但花的時間與精力卻是很大，從理解ALU除法器的架構，再到實際以程式語言去實作，這次更是加入PipeLine結構，雖然已經比以前更加熟悉verilog但是觀念加深不少也有更深層的應用導致我們仍然無法輕鬆應對，再者繪製報告的架構圖也是比第一次繪製更詳盡的電路圖，光是理解概念再用程式碼實現真的摸索了很久一段時間才有現在的結果，到處問同學和學長，雖然結果不能說很好，但也已經盡力了，從Midterm project到這次Final Project學到很多東西，雖然很多東西仍然還有點模糊，但是相信經過這些磨練我們也成長了許多，以後面對類似的問題也不會像無頭蒼蠅一樣手忙腳亂。

范文豪：

我們在Midterm Project時因為對程式碼並不是非常的熟悉，常常出現Error甚至還不清楚問題出在哪，但經過Midterm Project的洗禮過後，我們已經對其有了一定程度的了解，所以在這次的Final Project中寫起來比上次的好了很多，但基於這次的Project只有約莫兩個禮拜的時間，仍然有些不夠完整的地方來不及解決並改善，在這次的Final Project中用到了PipeLine結構的概念，上課聽聽不聽得懂是一回事，實際寫的時候才發現並不是這麼簡單的一個東西，時常撞壁而必須去詢問同學跟學長，也許結果不近人意，但我們也都盡力了，經驗也慢慢的累積起來，未來面對類似的問題也能迎刃而解。

六、未來展望

這次的Final project對我們來說很不容易上手但透過前一次的期中Project的基礎，在做完這次的project後更加了解Verilog的運作方式以及各種邏輯組合方式，雖然不容易但期待在未來設計電路的過程中能夠更快速的、更正確地將所有需求都完成。更甚之，希望未來能夠設計出一套更高階的電路，甚至能在真正的實務中使用到讓經驗與生活更加豐富!